

## ⑫ 公開特許公報(A) 平3-72666

⑬ Int. Cl.<sup>5</sup>

H 01 L 27/04

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月27日

H  
D9056-5F  
9056-5F

審査請求 未請求 請求項の数 3 (全12頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-209167

⑰ 出 願 平1(1989)8月11日

⑱ 発 明 者 高 本 宏 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑲ 発 明 者 瀬 川 真 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 佐藤 一雄 外3名

## 明 細 書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

1. 接地端子をそれぞれに有した回路ブロックを二つ以上備え、各々の接地端子に対して、各々の前記回路ブロックが有する電源端子、出力端子又は入力端子が保護素子によってそれぞれ接続されており、各々の端子間に過電圧が印加された場合に短絡して過電流を流すことによって回路を保護する短絡経路を有した半導体集積回路装置において、

前記回路ブロックのうち、チップ占有面積が最も大きいメイン回路ブロックが有する接地端子に接続され、このメイン回路ブロックの配線領域内で前記サブ回路ブロックに近接した位置に配線された第1のアースラインと、

前記回路ブロックのうち、前記メイン回路ブロ

ック以外のサブ回路ブロックが有する接地端子に接続され、このサブ回路ブロックの配線領域内で、前記メイン回路ブロックに近接した位置に配線された第2のアースラインと、

前記第1のアースラインと前記第2のアースラインとの間に接続された保護素子とを備え、

前記第1又は第2のアースラインのうちの少なくとも一つを経て前記短絡経路が形成されることを特徴とする半導体集積回路装置。

2. 前記メイン回路ブロックが有する電源端子に接続され、このメイン回路ブロックの配線領域内で、前記第1のアースラインに近接した位置に配線された電源ラインと、

この電源ラインと前記第1のアースラインとの間に接続された二つ以上の保護素子とをさらに備え、

前記保護素子は所定の間隔をあけて接続されていることを特徴とする請求項1記載の半導体集積回路装置。

3. 前期保護素子は、半導体基板あるいは半

導体基板表面に形成されたウエルをベースとしたバイポーラトランジスタ、又は半導体基板上あるいは半導体基板表面に形成されたウエル上のゲート酸化膜及びゲート電極の両端に不純物拡散層を形成して得られたMOS型のトランジスタ、又は半導体基板表面あるいは半導体基板表面に形成されたウエル表面上のフィールド酸化膜の表面上にアルミニウム又は多結晶シリコンから成る電極を形成して得られたフィールド型トランジスタであることを特徴とする請求項1又は2記載の半導体集積回路装置。

### 3. 発明の詳細な説明

#### 〔発明の目的〕

##### （産業上の利用分野）

本発明は半導体集積回路装置に関するもので、特に過電圧から回路を保護する素子を有したものに關する。

##### （従来の技術）

半導体集積回路装置において、サージ電圧等の

過電圧から回路を保護するために、入力端子、出力端子、電源端子を、それぞれ接地端子に対して保護素子で接続し、過電圧が印加された場合に短絡して過電流が回路に流れ込むのを防止することが行われている。ここで保護素子として、バイポーラトランジスタやMOS型トランジスタ等が一般に用いられている。

ところが、電源端子とこれに対応する接地端子の組み合わせを二つ以上有する回路においては、全ての接地端子に対して、各々の入力端子あるいは出力端子を保護素子で接続し、さらに電源端子と接地端子とを保護素子で接続する必要がある。これは、いずれの接地端子や電源端子を基準電位とした場合にも、各々の入力端子や出力端子が過電圧に対して、所定の電圧（以下、ESD耐圧と称する）に耐え得ることが必要だからである。

この場合の保護素子の配列状態を、第9図に示す。ここで保護素子51として、半導体基板またはウエルをベースとしたバイポーラトランジスタを用いている。ここで保護すべき回路は、チップ

— 3 —

面積の大部分を占有し主要な回路機能を有する回路ブロック（以下、内部回路用ブロックと称す）と、その他の一部分の面積を占めインターフェイスとしての機能を有する二つの回路ブロック（以下、それぞれ出力バッファ回路用ブロックA、出力バッファ回路用ブロックBとそれぞれ称す）とから構成されている。そして内部回路用ブロックには内部回路用電源Vcc端子101、内部回路用接地Vss端子102及び入力端子103が設けられ、出力バッファ回路用ブロックAには出力バッファ回路用電源Vcca端子104、出力バッファ回路用接地Vssa端子105及び出力A端子106、さらに出力バッファ回路用ブロックBには出力バッファ回路用電源Vccb端子107、出力バッファ回路用接地Vssb端子108及び出力B端子109がそれぞれ設けられている。

そしてこの第9図に表されている各々の端子間の保護素子51の配置を、より明確に把握できるように、入力端子103、出力A端子106、出力B端子109毎に示したのが第10図、第11図

及び第12図である。第10図は、入力端子103と、各接地端子102、105、108、及び各電源端子101、104、107との間に接続された保護素子51の配列を示したものである。上述したように、いずれか一つの電源端子あるいは接地端子を基準電位とした場合にも、この入力端子103がESD耐圧を満足できるように、入力端子103と全ての接地端子102、105、108とを接続し、さらにそれぞれの接地端子102、105、108に対応する電源端子101、104、107との間にも保護素子51をそれぞれ接続させている。また第11図は出力A端子106と各接地端子102、105、108及び各電源端子101、104、107との間の配列を、第12図は出力B端子109と各接地端子102、105、108及び各電源端子101、104、107との間の配列をそれぞれ示しているが、この場合も同様に、出力A端子106又は出力B端子109と、全ての接地端子102、105、108とが接続され、さらにそ

— 4 —

— 5 —

— 6 —

れぞれの接地端子102、105、108に対応する電源端子101、104、107との間にも保護素子51が接続されている。

(発明が解決しようとする課題)

しかし、それぞれの入力端子103、出力A端子106、出力B端子109に対して、全ての接地端子102、105、108及び電源端子101、104、107との間に保護素子51を接続する必要上、保護素子51の組み合わせ数が多く、やはりチップ面積が増大しコストが上昇するという問題があった。

また第9図から明らかなように、このような入力端子103、出力A端子106、出力B端子109と全ての接地端子102、105、108及び電源端子101、104、107との間の接続を実現するべく、配線を複雑にめぐらす必要が生じ、やはりチップ面積が増大しコストの上昇を招いていた。特に、チップの一部分の面積しか占めない出力バッファ回路用ブロックAとブロックBとの間で、例えば出力バッファ回路用ブロッ

クAの出力A端子106と出力バッファ回路用ブロックBの接地端子108との接続等は、距離が離れているため配線を複雑化させていた。

本発明は上記事情に鑑みてなされたもので、複数の電源端子及び接地端子を有しており、いずれか一つを基準電位とした場合に全ての入力端子あるいは出力端子においてESD耐圧を満足し、かつ各端子間に接続する保護素子の組み合わせ数の増大や配線の複雑化を防止し、チップ面積の縮小化及びコスト低減を達成し得る半導体集積回路装置を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明の半導体集積回路装置は、接地端子をそれぞれに有した回路ブロックを二つ以上備え、各々の接地端子に対して、各々の回路ブロックが有する電源端子、出力端子又は入力端子が保護素子によってそれぞれ接続されており、各々の端子間に過電圧が印加された場合に短絡して過電流を流すことによって回路を保護する短絡経路を有した

- 7 -

装置であって、回路ブロックのうち、チップ占有面積が最も大きいメイン回路ブロックが有する接地端子に接続され、このメイン回路ブロックの配線領域内でサブ回路ブロックに近接した位置に配線された第1のアースラインと、回路ブロックのうち、メイン回路ブロック以外のサブ回路ブロックが有する接地端子に接続され、このサブ回路ブロックの配線領域内で、メイン回路ブロックに近接した位置に配線された第2のアースラインと、第1のアースラインと第2のアースラインとの間に接続された保護素子とを備え、第1又は第2のアースラインのうちの少なくとも一つを経て短絡経路が形成されることを特徴としている。

またメイン回路ブロックが有する電源端子に接続され、このメイン回路ブロックの配線領域内で、第1のアースラインに近接した位置に配線された電源ラインと、この電源ラインと第1のアースラインとの間に接続された二つ以上の保護素子とをさらに備え、保護素子は所定の間隔をあけて接続されている。

- 9 -

- 8 -

ここで保護素子は、半導体基板または半導体基板表面に形成されたウエルをベースとしたバイポーラトランジスタ、又は半導体基板表面あるいは半導体基板表面あるいは半導体基板表面に形成されたウエル上のゲート酸化膜及びゲート電極の両端に不純物拡散層を形成して得られたMOS型のトランジスタ、又は半導体基板表面に形成されたウエル表面上のフィールド酸化膜の表面上にアルミニウム又は多結晶シリコンから成る電極を形成して得られたフィールド型トランジスタであってもよい。

(作用)

メイン回路ブロックの接地端子に接続された第1のアースラインと、サブ回路ブロックの接地端子に接続された第2のアースラインとが保護素子によって接続されており、各々の端子間に過電圧が印加されると、第1又は第2の少なくとも一つのアースラインを経て短絡経路を過電流が流れて回路が保護される。また各々の接地端子は第1のアースライン、第2のアースライン及び保護素子

- 10 -

を介して接続されているため、いずれか一つを基準電位とした場合にも過電圧から回路が保護される。この場合に第1のアースラインは、チップ面積が最も大きいメイン回路ブロックの配線領域内でサブ回路ブロックに近接して配線されており、第2のアースラインもサブ回路ブロックの配線領域内でメイン回路ブロックに近接して配線されている。この第1と第2のアースラインが保護素子で接続されており、この第1又は第2のアースラインの少なくとも一つを経て短絡経路が形成されるため、他の各々の端子間を保護素子で接続する際に、各々の接続距離が短縮化されて配線の複雑化が防止され、また保護素子の組み合わせ数の増加も防止される。

また、メイン回路ブロックの電源ラインがこのブロックの配線領域内で第1のアースラインに近接してさらに配線されている場合には、第1のアースラインとこの電源ラインは共に配線長が長くなり、配線抵抗が増加しがちであるが、この電源ラインと第1のアースラインとが複数個の保護素

子により所定の間隔をあけて接続されることにより、この保護素子を開を介して形成される短絡経路における見かけ上の配線抵抗は小さくなり、過電流は支障なくこの短絡経路を流れて回路は保護される。

ここで、保護素子として半導体基板または半導体基板表面に形成されたウエルをベースとしたバイポーラトランジスタを用いた場合には、各々の端子間に過電圧が印加されるとブレークダウンが起こり、エミッタとコレクタの間に導通が生じ短絡経路が形成されて過電流が接地端子に流れ、回路が保護される。

#### (実施例)

以下本発明の一実施例について、図面を参照して説明する。本実施例において対象とする回路は、第2図に示されたように、チップ面積の大部分を占有し主要な回路機能を有するメイン回路ブロックとしての内部回路用ブロック1と、その他の一部分の面積を占めインターフェイスとしての機能を有する二つのサブ回路ブロックとしての出力バ

— 11 —

ッファ回路用ブロックA2及び出力バッファ回路用ブロックB3とから構成されている。そして内部回路用ブロック1には内部回路用電源Vcc端子101、内部回路用接地Vss端子102及び入力端子103が設けられ、出力バッファ回路用ブロックA2には出力バッファ回路用電源VccoA端子104、出力バッファ回路用接地VssOA端子105及び出力A端子106、さらに出力バッファ回路用ブロックB3には出力バッファ回路用電源端子VccoB107、出力バッファ回路用接地VssOB端子108及び出力B端子109がそれぞれ設けられている。

このように、保護すべき回路を三つの回路用ブロック1、2及び3に分割して各端子間を保護素子で接続した状態を示したのが第1図である。このように、チップの大部分の面積を占有する内部回路用ブロック1における接地Vss端子102に接続されたアースライン22を主要なラインとして、内部回路用ブロック1の配線領域内で他のブロック2及び3に近接して配線し、このアース

ライン22と他の接地VssOA端子105、又は接地VssOB端子108に接続されたアースライン32又は42との間に保護素子15、16を接続する。

この各々の保護素子の接続関係を、個別に示したのが第3図(a)～(g)、第4図、及び第5図である。第3図において、内部回路用ブロック1の入力端子103とアースライン22との間に保護素子11を接続し(第3図(a))、さらにこのアースライン22と内部用電源Vcc端子101に接続された電源ライン21との間に保護素子14を接続する(第3図(d))。

そしてこのアースライン22と、他の回路ブロック2及び3における各々の端子に接続されたラインとの間に保護素子を接続する。出力バッファ回路用ブロックA2において、電源VccoA端子104に接続された電源ライン31とアースライン22とは直接接続せず、接地VssOA端子105に接続されたアースライン32と電源ライン31とを接続する保護素子17を一旦介し(第3図(f))、アースライン32とアースライン22

— 13 —

— 14 —

とを保護素子 15 で接続する (第 3 図 (e)) ことによって、接続を得る。そして出力 A 端子 106 とアースライン 32 とを、保護素子 12 で接続する (第 3 図 (b))。

出力バッファ回路用ブロック B3 における各端子と、内部回路用接地 Vss 端子 102 に接続されたアースライン 22 との間の保護素子の接続も同様である。アースライン 22 と電源 Vcc0B 端子 107 に接続された電源ライン 41 との接続は、この電源ライン 41 と接地 Vss0B 端子 108 に接続されたアースライン 42 とを接続する保護素子 18 を介して (第 3 図 (g))、アースライン 42 とアースライン 22 とを保護素子 16 で接続する (第 3 図 (e)) ことによって得る。そして出力 B 端子 109 とアースライン 42 とを、保護素子 13 で接続する (第 3 図 (c))。

このような各端子間における保護素子の接続関係が、内部回路用ブロック 1 のアースライン 22 を主体に成り立っていることをより明確に示したのが第 4 図及び第 5 図である。第 4 図に示された

ように、内部回路用ブロック 1 のアースライン 22 に対して、同じブロック 1 の入力端子 103 との間に保護素子 11 が接続され、電源 Vcc0 端子 101 との間に保護素子 14 が接続されている。さらにアースライン 22 と他のブロック A2 との関係において、接地 Vss0A 端子 105 との間に保護素子 15 が接続され、電源 Vcc0A 端子 104 との間にこの保護素子 15 を介して保護素子 17 が接続されている。ブロック B3 との関係も、これと同様である。さらに第 5 図のように、主体とするアースライン 22 との間で、ブロック A2 の出力 A 端子 106 が保護素子 15 を介して保護素子 12 によって接続され、同様にブロック B3 の出力 B 端子 109 が保護素子 16 を介して保護素子 13 によって接続されている。この場合において各端子間に過電圧が印加されると、第 6 図に示されたような経路で過電流が流れる。このように、いずれの電源端子あるいは接地端子を基準電位とした場合にも過電流が流れる短絡経路が形成され、全ての入力端子 103、出力 A 端子 106、出力

— 15 —

— 16 —

B 端子 109 において、ESD 耐圧を満足する。

このような各々の端子間を接続する保護素子の配列は、第 1 図のように、チップの大部分の面積を占める内部回路用ブロック 1 の配線領域において、他のブロック 2 及び 3 に近接してアースライン 22 を配線しておき、このアースライン 22 を主体に他のブロック 2、3 のアースライン 32、42 との間で保護素子 15、16 を接続し、この保護素子 15、16 を介してそれぞれの過電流用の短絡経路が形成されている点に特徴がある。この結果、一部分のチップ面積しか占めない出力バッファ回路用ブロック A2 とブロック B3 との間で、例えば出力バッファ回路用ブロック A の出力 A 端子 106 と出力バッファ回路用ブロック B の接地 Vss0B 端子 108 との接続のために、自己のブロック内の配線領域を越えて離れた端子間を接続する必要がなく、配線の複雑化や保護素子の組み合わせ数の増加を防止することができる。

また半導体基板にパターンを形成する場合において、内部回路におけるアースライン 22 と電源

ライン 21 との間を接続する保護素子 14 は、これらの電源ライン 21 及びアースライン 22 の形成層の下方の層に位置するため、ライン 21 及び 22 を形成するために必要な面積で足りる。この結果、保護素子 14 を形成するための特別なスペースを必要とせず、チップ面積を縮小させることができる。

また内部回路用ブロック 1 におけるアースライン 22 と出力バッファ回路用ブロック A2 のアースライン 32 とを接続する保護素子 15、同様にアースライン 22 と出力バッファ回路用ブロック B3 のアースライン 42 とを接続する保護素子 16 も、それぞれのライン 22、32 及び 42 が形成された層の下方に位置するため、これらのラインを形成するために必要な面積で足りる。各出力バッファ回路用ブロック A2 又は B3 内における、電源ライン 31 とアースライン 32 とを接続する保護素子 17、電源ライン 41 とアースライン 42 とを接続する保護素子 18 も、それぞれのラインの下方に位置するためチップ面積の縮小化

が可能となる。

ここで第1図からも明らかなように、内部回路用ブロック1の電源ライン21と、アースライン22は共に配線長が長くなりがちであり、それぞれの配線抵抗 $R_{cc}$ 及び $R_{ss}$ が大きくなって、保護素子14を介して形成されている短絡経路を、過電流が支障なく流れずに回路が破壊される虞れがある。そこで第7図に示されたように、電源ライン21とアースライン22との間に、複数個の保護素子14を均等に分割配置しておくことによって、他の保護素子からの見かけ上の配線抵抗 $R_{ss}$ 及び $R_{cc}$ が低くなり、過電流が支障なく流れ回路が確実に保護される。

上述した実施例は一例であって、本発明を限定するものではない。例えば保護素子として、本実施例では半導体基板又はウエルをベースとしたバイポーラトランジスタを用いており、例えば第8図(a)に示されたように、半導体基板52の表面に、フィールド酸化膜53を隔てて不純物拡散層51a及び51bを形成することによって得て

いる。この他に第8図(b)のように、基板52の表面上のゲート酸化膜54及びゲート電極55の両端に不純物拡散層51a及び51bを形成して得られたMOS型トランジスタや、第8図(c)に示されたような、フィールド酸化膜53の表面上にアルミニウム又は多結晶シリコンから成る電極56を形成したフィールド型トランジスタ等を用いることも可能である。また第1図に示されたような、各端子間における保護素子の配置も一例であり、他の配置によるものであってもよいことは言うまでもない。

(発明の効果)

以上説明したように本発明の半導体集積回路装置は、各々の端子間に過電圧が印加された場合に、最も大きなチップ面積を占めるメイン回路ブロックにおけるサブ回路ブロックに近接した位置に配線された第1のアースライン又は一部分を占めるサブ回路ブロックにおけるメイン回路ブロックに近接した位置に配線された第2のアースラインの少なくとも一つを経て短絡経路が形成されるため、

— 19 —

他の各端子間を保護素子で接続する際の接続距離が短縮化されて配線の複雑化が防止されると共に、保護素子の組み合わせ数の増加が防止される。

またメイン回路ブロックの電源ラインが、このブロック内で第1のアースラインに近接して配線されている場合に、この電源ラインと第1のアースラインは共に配線長が長くなって配線抵抗が増加しがちであるが、このライン間が複数個の保護素子により所定の間隔をあけて接続されていることにより、この保護素子を介して形成される短絡経路における見かけ上の配線抵抗は小さくなり、過電流は支障なくこの経路を流れて回路は保護される。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例による半導体集積回路装置における保護素子の配列を示した回路図、第2図は同装置における回路のブロック構成を示した概念図、第3図、第4図及び第5図は同装置における保護素子の配列を各々部分的に示した回

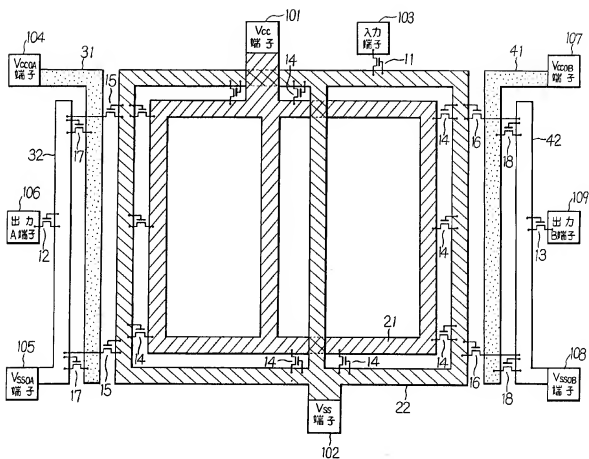
路図、第6図は同装置におけるサージ電流の経路を示した説明表、第7図は同装置における内部回路用ブロック内の保護素子の接続状態を示した回路図、第8図は同装置における保護素子の素子断面図、第9図は従来の半導体集積回路装置における保護素子の配列を示した回路図、第10図、第11図及び第12図は同装置における保護素子の配列を各々部分的に示した回路図である。

1…内部回路用ブロック、2…出力バッファ回路用ブロックA、3…出力バッファ回路用ブロックB、11…18、51…保護素子、21、31、41…電源ライン、22、32、42…アースライン、101…電源 $V_{cc}$ 端子、102…接地 $V_{ss}$ 端子、103…入力端子、104…電源 $V_{ccoA}$ 端子、105…接地 $V_{ss0A}$ 端子、106…出力A端子、107…電源 $V_{ccoB}$ 端子、108…接地 $V_{ss0B}$ 端子、109…出力B端子。

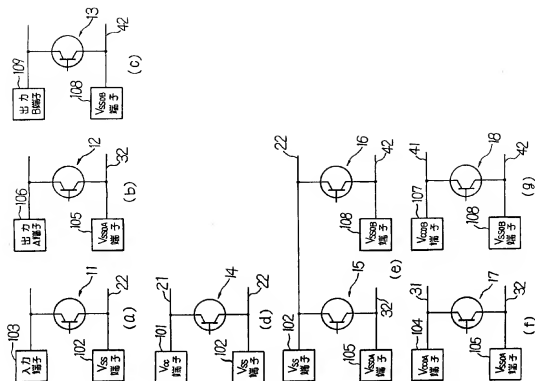
出願人代理人 佐 藤 一 雄

— 21 —

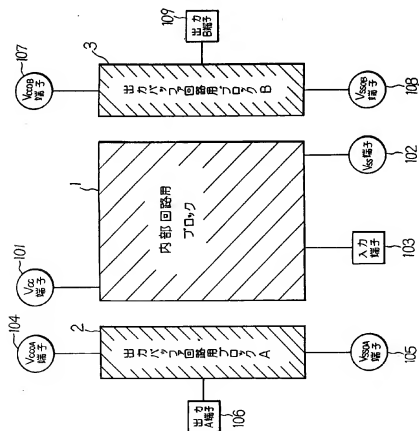
— 22 —



第1図

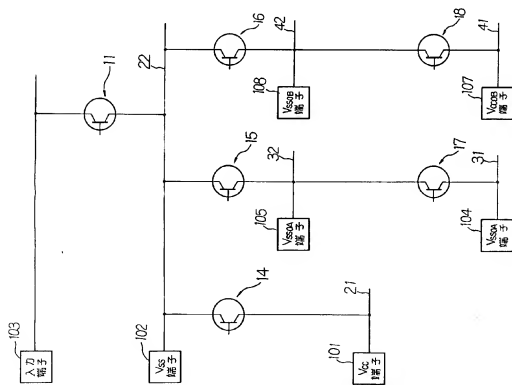


第3図

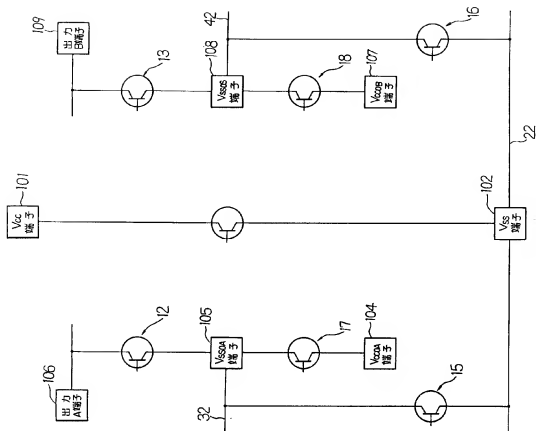


第2図





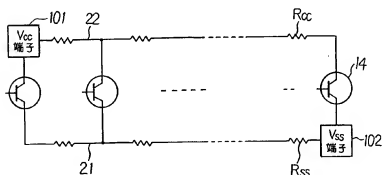
第4図



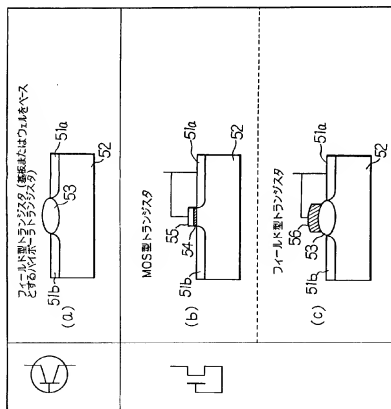
第5図

入力端子、出力端子 基準電位との端子	入力 端子 103	出力 A 端子 106	出力 B 端子 109
V <sub>CC</sub> 端子 101	保護素子 11-14	保護素子 12-15-14	保護素子 13-16-14
V <sub>SS</sub> 端子 102	保護素子 11	保護素子 12-15	保護素子 13-16
V <sub>CC0A</sub> 端子 104	保護素子 11-15-17	保護素子 12-17	保護素子 13-16-15-17
V <sub>SS0A</sub> 端子 105	保護素子 11-15	保護素子 12	保護素子 13-16-15
V <sub>CC0B</sub> 端子 107	保護素子 11-16-18	保護素子 12-15-16-18	保護素子 13-18
V <sub>SS0B</sub> 端子 108	保護素子 11-16	保護素子 12-15-16	保護素子 13

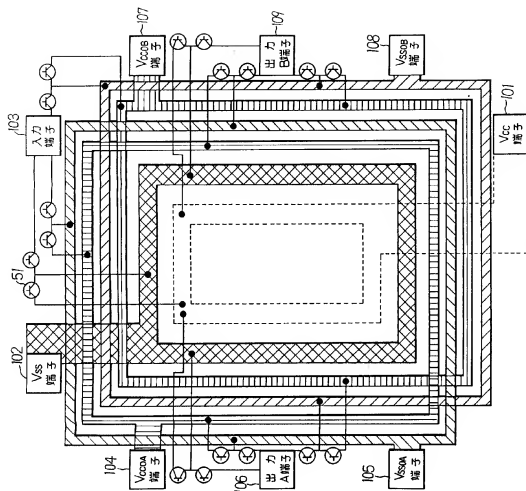
第6図



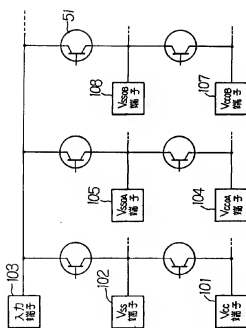
第7図



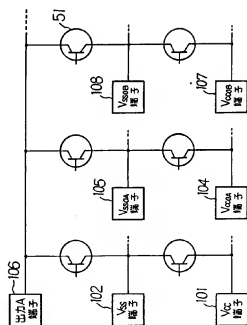
第8図



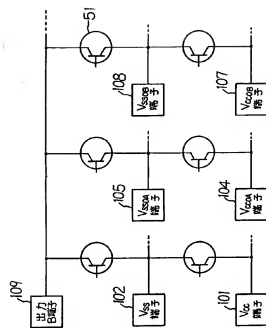
第9図



第10图



第11图



第12图

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-072666

(43)Date of publication of application : 27.03.1991

---

(51)Int.Cl.

H01L 27/04

---

(21)Application number : 01-209167 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.08.1989 (72)Inventor : TAKAMOTO HIROSHI  
SEGAWA MAKOTO

---

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE



### (57)Abstract:

**PURPOSE:** To satisfy ESD breakdown strength of all I/O terminals, and prevent the increase of combination number of protecting elements connected between terminals and the complication of wiring, by constituting a short-path via either one of a first earth line or a second earth line, which first earth line is connected with a ground terminal arranged in a main circuit block having the largest chip-occupation-area, and which second earth line is connected with a ground terminal arranged in a sub-circuit block.

**CONSTITUTION:** An earth line 22 is connected with a grounded VSS terminal

102 in a block 1 for an inner circuit use which occupies a greater part of chip area. Said line 22 is used as a main line, and connected with an earth line 32 by using a protecting element 15, via a protecting element 17 which connects the earth line 32 with a power supply line 31. The above earth line 32 is wired in the wiring region in the block 1 for inner circuit use, so as to be adjacent to the other blocks 2 and 3, and connected with a grounded VSSOA terminal 105. An earth line 42 and the earth line 22 are connected by using a protecting element 16, via a protecting element 18 which connects a power supply line 41 and the earth line 42 connected with a grounded VSSOB terminal 108.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]